

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-016999

(43)Date of publication of application : 22.01.1999

(51)Int.Cl.

H01L 21/76
H01L 21/304

(21)Application number : 09-170805

(71)Applicant : HITACHI LTD

(22)Date of filing : 27.06.1997

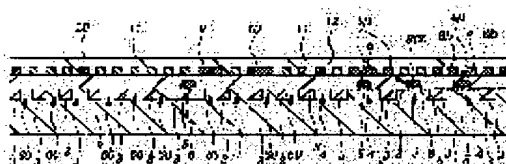
(72)Inventor : YOSHIDA MAKOTO
KUMAUCHI TAKAHIRO
ANDO TOSHIO
SATO HIDENORI
TADAKI YOSHITAKA

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, ITS MANUFACTURE AND ITS DESIGN METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To make a member surface after polished by CMP(chemical mechanical polishing) method completely flat.

SOLUTION: In a semiconductor integrated circuit device, wherein a silicon oxide film is deposited on a main surface of a semiconductor board 1 including a shallow groove 2 and an element isolation region 3, is formed by polishing a silicon oxide film by a CMP method, an active region 4, and a dummy region 60 are formed in a main surface of the semiconductor board 1 by the isolation region 3. The dummy region 60 is formed so that the recess volume percentage of an arbitrary region of the semiconductor board 1 is in the range of -20% to +20% of average recess volume percentage of the entire surface of a semiconductor board and active area percentage of an arbitrary region of a semiconductor board is in the range of -20% to +20% of the average active area percentage of the entire surface of a semiconductor board.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-16999

(43)公開日 平成11年(1999) 1月22日

(51)Int.Cl.⁶

H 0 1 L 21/76

21/304

識別記号

3 2 1

F I

H 0 1 L 21/76

21/304

N

3 2 1 S

審査請求 未請求 請求項の数15 O L (全 22 頁)

(21)出願番号

特願平9-170805

(22)出願日

平成9年(1997)6月27日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 吉田 誠

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 熊内 隆宏

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 安藤 敏夫

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(74)代理人 弁理士 筒井 大和

最終頁に続く

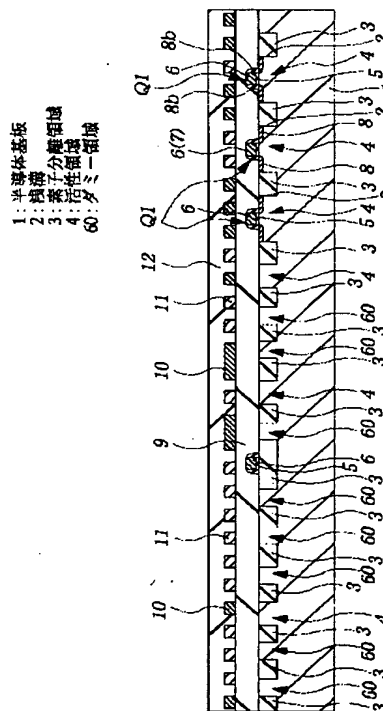
(54)【発明の名称】 半導体集積回路装置およびその製造方法ならびにその設計方法

(57)【要約】

【課題】 CMP法による研磨後の部材表面を完全に平坦化する。

【解決手段】 浅溝2を含む半導体基板1の主面上にシリコン酸化膜を堆積し、シリコン酸化膜をCMP法により研磨して素子分離領域3を形成する半導体集積回路装置において、素子分離領域3により半導体基板1の主面に活性領域4およびダミー領域60を形成する。ダミー領域60は、半導体基板1の任意の領域の凹み体積率が、半導体基板全面の平均凹み体積率の-20%から+20%の範囲となり、半導体基板の任意の領域のアクティブ面積率が、半導体基板全面の平均アクティブ面積率の-20%から+20%の範囲となるように形成する。

図1



【特許請求の範囲】

【請求項1】 半導体基板の主面に浅溝が形成され、前記浅溝を含む前記半導体基板の全面に堆積された絶縁膜がCMP法によって研磨され、前記浅溝内にのみ前記絶縁膜が残存された分離領域を有し、前記分離領域により分離された前記半導体基板の主面に、MISFETの一部として機能する活性領域と、MISFETの一部として機能しないダミー領域とを含む半導体集積回路装置であって、

前記堆積された絶縁膜の前記浅溝に起因する凹み量を前記浅溝が無いとした場合の前記絶縁膜の体積で規格化した凹み体積率が前記半導体基板の全域においてほぼ等しい第1の条件、前記ダミー領域および前記活性領域を合計した領域の面積を前記ダミー領域、前記活性領域および前記分離領域を合計した領域の面積で規格化したアクティブ面積率が前記半導体基板の全域においてほぼ等しい第2の条件、のいずれの条件をも満足することを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置であって、

前記半導体基板の任意の領域の前記凹み体積率が前記半導体基板全面の平均凹み体積率の -20% から $+20\%$ の範囲にあり、前記半導体基板の任意の領域の前記アクティブ面積率が前記半導体基板全面の平均アクティブ面積率の -20% から $+20\%$ の範囲にあることを特徴とする半導体集積回路装置。

【請求項3】 請求項2記載の半導体集積回路装置であって、

前記平均凹み体積率を選択MISFETおよび情報蓄積容量素子が配置されたDRAMのメモリセルアレイ領域の凹み体積率とし、前記平均アクティブ面積率を前記メモリセルアレイ領域のアクティブ面積率とすることを特徴とする半導体集積回路装置。

【請求項4】 請求項1、2または3記載の半導体集積回路装置であって、

前記ダミー領域は、距離 y のピッチで互いに距離 x だけ離間して形成されたものであり、

前記アクティブ面積率(α)は、 $\alpha = (y - x) / y$ 、前記凹み体積率(β)は、 $\beta = D / (y \times t)$ 、(ただし D は凹み量であり、 t は前記絶縁膜の膜厚である。)、

前記凹み量(D)は、 $D = t \times x - (\text{SQRT}(t^2 - x^2 / 4) \times x / 2 + t^2 \times (\pi / 2 - \cos^{-1}(x / 2t)))$ 、(ただしSQRTはルートを示す。)、で各々規定されることを特徴とする半導体集積回路装置。

【請求項5】 請求項1、2、3または4記載の半導体集積回路装置であって、

前記ダミー領域の上層にはゲート配線が形成されていないことを特徴とする半導体集積回路装置。

【請求項6】 半導体集積回路装置の製造方法であって、

(a) 半導体基板の主面にシリコン窒化膜を堆積し、活性領域およびダミー領域以外の領域の前記シリコン窒化膜および前記半導体基板をパターンニングして浅溝を形成する工程、

(b) 前記浅溝の内面を含む前記半導体基板および前記シリコン窒化膜上に、シリコン酸化膜からなる絶縁膜を堆積し、前記浅溝を埋め込む工程、

(c) 前記絶縁膜をCMP法により研磨し、前記シリコン窒化膜を露出する工程を含み、

前記ダミー領域は、距離 y のピッチで互いに距離 x だけ離間して形成され、

前記ダミー領域が、 $\alpha = (y - x) / y$ で規定されるアクティブ面積率 α が、前記半導体基板の全面の平均アクティブ面積率またはDRAMのメモリセルアレイ領域のアクティブ面積率の -20% から $+20\%$ の範囲となる第1の条件、および、 $\beta = D / (y \times t)$ で規定される凹み体積率 β が、前記半導体基板の全面の平均凹み体積率またはDRAMのメモリセルアレイ領域の凹み体積率の -20% から $+20\%$ の範囲となる第2の条件、のいずれの条件をも満足するように形成されることを特徴とする半導体集積回路装置の製造方法。ただし、 $D = t \times x - (\text{SQRT}(t^2 - x^2 / 4) \times x / 2 + t^2 \times (\pi / 2 - \cos^{-1}(x / 2t)))$ 、(ただしSQRTはルートを示す。)、であり、 t は前記絶縁膜の膜厚である。

【請求項7】 半導体基板の主面に形成する浅溝の加工に用いるマスクのパターンを生成する工程を含む半導体集積回路装置の設計方法であって、

活性領域パターンを生成する第1のステップと、

前記活性領域パターンの周辺にフォトリソグラフィの解像限界条件から要請されるダミーパターン禁止領域を生成する第2のステップと、

ゲート配線パターンを生成する第3のステップと、

前記活性領域パターン、前記ダミーパターン禁止領域および前記ゲート配線パターンの合成パターンと、1辺の長さを y 他辺の長さを z とするグリッド要素の2次元的な繰り返しからなるグリッドパターンとを重畳し、前記グリッド要素のうち前記合成パターンと重ならない空要素を抽出する第4のステップと、

前記空要素にダミーパターンを配置する第5のステップと、

前記活性領域パターンと前記ダミーパターンとを合成し、マスクパターンを生成する第6のステップと、を含むことを特徴とする半導体集積回路装置の設計方法。

【請求項8】 請求項7記載の半導体集積回路装置の設計方法であって、

前記ダミーパターンは、短辺を $y - x$ 、長辺を z とする

長方形であり、 $\alpha = (y - x) / y$ で規定されるアクティブ面積率 α が、マスク設計領域の全面的平均アクティブ面積率またはDRAMのメモリセルが形成される領域のアクティブ面積率の -20% から $+20\%$ の範囲となる第1の条件、および、 $\beta = D / (y \times t)$ で規定される凹み体積率 β が、マスク設計領域の全面的平均凹み体積率またはDRAMのメモリセルが形成される領域の凹み体積率の -20% から $+20\%$ の範囲となる第2の条件、のいずれの条件をも満足するように生成されることを特徴とする半導体集積回路装置の設計方法。ただし、 $D = t \times x - (SQR T(t^2 - x^2 / 4) \times x / 2 + t^2 \times (\pi / 2 - \cos^{-1}(x / 2t)))$ 、(ただしSQR Tはルートを示す。)であり、 t は前記浅溝を埋め込む際に堆積される絶縁膜の膜厚である。

【請求項9】 請求項7または8記載の半導体集積回路装置の設計方法であって、前記グリッド要素の1辺の長さ y および他辺の長さ z は、フォトリソグラフィの最小解像寸法の1.5倍以上であり、前記浅溝を埋め込む際に堆積される絶縁膜の最大膜厚から要請される長さ以下の長さであることを特徴とする半導体集積回路装置の設計方法。

【請求項10】 半導体集積回路装置の製造方法であって、

(a) 半導体基板の主面にシリコン窒化膜を堆積し、活性領域およびダミー領域以外の領域の前記シリコン窒化膜および前記半導体基板をパターンニングして浅溝を形成する工程、

(b) 前記浅溝の内面を含む前記半導体基板および前記シリコン窒化膜上に、オゾンとTEOSとの反応によるCVD法により堆積されるシリコン酸化膜を堆積し、前記浅溝を埋め込む工程、

(c) 前記シリコン酸化膜をCMP法により研磨し、前記シリコン窒化膜を露出する工程を含み、前記シリコン酸化膜の堆積前に、前記浅溝内の下地基板の表面ポテンシャルを打ち消す構造を形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項11】 請求項10記載の半導体集積回路装置の製造方法であって、

前記下地基板の表面ポテンシャルを打ち消す構造は、下地基板にバンドギャップが5 eV未満の被膜を形成する第1の工程、または、

下地基板としてシリコンからなる前記半導体基板を露出する第2の工程、または、

多結晶シリコン膜、もしくは、炭素がドーブされたシリコン酸化膜を堆積する第3の工程、または、

極性を有する酸化膜、もしくはBPSG膜、もしくはPSG膜、もしくは、BSG膜を形成する第4の工程、または、

きわめて薄いシリコン酸化膜を形成する第5の工程、のいずれかの工程により形成されることを特徴とする半

導体集積回路装置の製造方法。

【請求項12】 請求項11記載の半導体集積回路装置の製造方法であって、

バンドギャップが5 eV未満の被膜は、オゾンおよびTEOSを原料とするCVD法によるシリコン酸化膜を低圧力で堆積することにより形成することを特徴とする半導体集積回路装置の製造方法。

【請求項13】 半導体集積回路装置の製造方法であって、

(a) 半導体基板の主面にシリコン窒化膜を堆積し、活性領域およびダミー領域以外の領域の前記シリコン窒化膜および前記半導体基板をパターンニングして浅溝を形成する工程、

(b) 前記浅溝の内面を含む前記半導体基板および前記シリコン窒化膜上に、オゾンとTEOSとの反応によるCVD法により堆積されるシリコン酸化膜を堆積し、前記浅溝を埋め込む工程、

(c) 前記シリコン酸化膜をCMP法により研磨し、前記シリコン窒化膜を露出する工程を含み、前記シリコン酸化膜は、オゾンとTEOSとの反応により生成される有極性中間体および無極性中間体のうち、無極性中間体が支配的な成膜前駆体となっている状態で堆積されることを特徴とする半導体集積回路装置の製造方法。

【請求項14】 請求項13記載の半導体集積回路装置の製造方法であって、

前記シリコン酸化膜の堆積は、基板温度が500℃以上、600℃以下の温度範囲で行われる第1の条件、または、成膜圧力が400 Torr以上で行われる第2の条件、

または、オゾン濃度の高い状態で行われる第3の条件、のいずれかの条件で行われることを特徴とする半導体集積回路装置の製造方法。

【請求項15】 半導体基板の主面に浅溝が形成され、前記浅溝を含む前記半導体基板の全面に堆積された絶縁膜がCMP法によって研磨され、前記浅溝内にのみ前記絶縁膜が残存された分離領域を有する半導体集積回路装置であって、

前記浅溝内の前記半導体基板と前記浅溝に埋め込まれた絶縁膜との境界部には、5 eV未満のバンドギャップを有する被膜が形成されている第1の構成、前記絶縁膜と前記半導体基板との界面にはなんら被膜が形成されず直接接触している第2の構成、多結晶シリコン膜もしくは炭素がドーブされたシリコン酸化膜が形成されている第3の構成、極性を有する酸化膜もしくはBPSG膜もしくはPSG膜もしくはBSG膜が形成されている第4の構成、きわめて薄いシリコン酸化膜が形成されている第5の構成、のいずれかの構成を有することを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造技術に関し、特に、その製造工程にCMP（Chemical Mechanical Polishing）法を用いた平坦化工程を含む半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】半導体集積回路装置の最小加工寸法の減少に伴ってステップの高性能化が必要となり、レンズ開口径の増大と露光波長の短波長化が進んでいる。その結果、露光光学系の焦点深度が浅くなり、被加工表面の僅かな凹凸も問題となる。この結果、被加工表面の平坦化はデバイスプロセス上重要な技術課題となっている。しかも上記の平坦化は、段差上に形成される配線の断線を防止するために必要とされる段差形状の緩和を目的とした平坦化ではなく、グローバルな平坦化つまり完全平坦化が要求されるものである。

【0003】特に、浅溝に絶縁膜を埋め込んでなる半導体基板をCMP法により形成する場合には、その後のフォトリソグラフィの全てに影響するため、表面平坦性の要求は強い。

【0004】表面平坦化の技術としては、SOG（spin on glass）膜あるいは低融点ガラスの塗布および溶融による塗布法、ガラスフローによる熱処理法、CVD（Chemical Vapor Deposition）の表面反応メカニズムを適用して自己平坦化させる方法等が知られているが、表面の状態や適用する熱処理等の条件あるいはそれらの加工上の制約から、完全な平坦化すなわちグローバル平坦化を行うことができない場合が多い。そこで、完全平坦化が実用的に可能な技術としてエッチバック法およびCMP法が有望視されている。

【0005】エッチバック法は、フォトリソを犠牲膜にしたもの、SOG膜を用いたもの、自己平坦化CVD膜を用いたもの等が知られているが、プロセスの複雑さ、コスト、パーティクルによる歩留まり低下が問題となり、一方、CMP法は前記エッチバック法に生ずる問題は比較的少なく、エッチバック法との比較において総合的に優れたプロセスであるとの認識が一般に形成されつつある。つまり、完全平坦化を実現しうる実用的な技術としては、CMP法が最も有望であると考えられる。

【0006】なお、CMP技術を詳しく記載している例としては、たとえば、平成8年5月1日、工業調査会発行、「電子材料」1996年5月号、p22～p27がある。

【0007】

【発明が解決しようとする課題】しかし、CMP技術を用いた研磨法であるCMP法は、その本質的な問題として、エッチレートの下地パターン密度依存性を有し、パターン密度が高密度な場合にはエッチレートは低く、パターン密度が低密度な場合にはエッチレートが高くなる

という研磨特性を有する。

【0008】したがって、広い素子分離領域に孤立した比較的小さなパターンを有する場合、その領域における孤立した前記パターンのエッチレートは非常に高くなり、CMP法による研磨により、凹み（dishing）を生じるという問題を生じる。このような現象は、一般にパターン密度の高い記憶回路領域においてエッチレートが低く、パターン密度の低い論理回路領域においてエッチレートが高くなるというマクロな平坦性の劣化として観察される。つまり、上記問題が、CMP法のマクロな平坦性を劣化させている原因の1つとなっていると考えられる。

【0009】このようなマクロな平坦性の劣化は、表面に大きなうねりとして観測され、このようなうねりの存在する表面では、その後のフォトリソグラフィ工程あるいはエッチング工程でプロセスマージンが低下し、微細な加工および高集積化の対応が困難となり、半導体集積回路装置の信頼性の向上および歩留まりの改善を図ることができない。

【0010】また、うねりのある状態でのリソグラフィおよびエッチングを良好に行うためにプロセス条件の最適化を行う必要があり、うねりを最小限に抑制するためのCMP工程の最適化も必要となる。このような最適化に要する期間により量産プロセスの立ち上げ時期が遅れるという問題もある。

【0011】さらに、パターンが疎な領域では、パターンが絶縁膜により十分に埋め込まれず、そのような凹部を完全に埋め込むためには絶縁膜の膜厚を厚くせざるを得ない。その結果、絶縁膜の堆積時間が長くなる等の工程負荷が大きくなるのみならず、絶縁膜の研磨量も多くなり、CMP工程での工程負荷も大きくなるという問題が生じる。

【0012】また、浅溝の形成された半導体基板の表面に絶縁膜の堆積する際、絶縁膜の段差被覆性つまり絶縁膜の流動性と、ポーラスな絶縁膜とはならない状態つまり絶縁膜の膜質とにトレードオフの関係が存在することを本発明者は認識した。

【0013】すなわち、オゾンおよびTEOS（テトラメトキシシラン）を用いてCVD法により絶縁膜を堆積した場合、絶縁膜が半導体基板の浅溝を埋め込むに十分な流動性、具体的にはトレンチ形状を埋め込む際の被膜断面形状の角度であるフロー角が60度以下となる条件を満足しようとした場合、シリコン酸化膜あるいはシリコン窒化膜上に形成された絶縁膜はポーラスとなり、絶縁性あるいはゲート加工等に障害が発生してしまう。逆に、絶縁膜の絶縁性あるいはゲート加工性を満足するような膜質を得ようすると、フロー角が大きくなり、60度以下という条件を満足することができない。

【0014】本発明の目的は、半導体基板全域にわたる平坦性を向上し、マクロな半導体基板の平坦性の劣化を

防止する技術を提供することにある。

【0015】また、本発明の目的は、CMP法を用いて浅溝素子分離領域を形成する場合に、半導体基板のパターン密度によらず、半導体基板全域にわたって、均一なCMPエッチングレートを得ることができる技術を提供することにある。

【0016】また、本発明の目的は、フォトリソグラフィ工程およびエッチング工程等でのプロセスマージンを向上し、微細な加工および高集積化に対応することができる技術を提供するとともに、半導体集積回路装置の信頼性および歩留まりを向上することにある。

【0017】また、本発明の目的は、プロセス立ち上げを容易にすることにある。

【0018】また、本発明の目的は、CMP法により研磨される部材の研磨量を低減し、工程負荷の低減および工程時間の短縮によるコスト競争力の向上を図ることにある。

【0019】また、本発明の目的は、CMP法により完全平坦化が可能な部材パターンの設計方法を提供することにある。

【0020】また、本発明の目的は、浅溝に良好に埋め込むことができ、かつ十分な膜質を有する絶縁膜の堆積技術を提供することにある。

【0021】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0022】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0023】(1) 本発明の半導体集積回路装置は、半導体基板の主面に浅溝が形成され、浅溝を含む半導体基板の全面に堆積された絶縁膜がCMP法によって研磨され、浅溝内にのみ絶縁膜が残存された分離領域を有し、分離領域により分離された半導体基板の主面に、MISFETの一部として機能する活性領域と、MISFETの一部として機能しないダミー領域とを含む半導体集積回路装置であって、堆積された絶縁膜の浅溝に起因する凹み量を浅溝が無いとした場合の絶縁膜の体積で規格化した凹み体積率が半導体基板の全域においてほぼ等しい第1の条件、ダミー領域および活性領域を合計した領域の面積をダミー領域、活性領域および分離領域を合計した領域の面積で規格化したアクティブ面積率が半導体基板の全域においてほぼ等しい第2の条件、のいずれの条件をも満足することものである。

【0024】このような半導体集積回路装置によれば、浅溝分離領域が形成された半導体基板の全面にわたってその主面を平坦にすることができる。

【0025】すなわち、半導体基板に浅溝を形成し、その浅溝が形成された半導体基板の全面にたとえばシリコ

ン酸化膜からなる絶縁膜を堆積してこの絶縁膜をCMP法により研磨し、浅溝の内部にのみ絶縁膜を残存させて分離領域を形成する場合、絶縁膜の表面は浅溝の凹部に起因する凹部が形成される。このような凹部は、CMP法による研磨の初期の段階において研磨速度を速くする効果がある。つまり、半導体基板の位置によってCMPの研磨速度に分布が発生する。なお、このような凹部は、絶縁膜の凹み体積率として規定することができる。

【0026】また、浅溝以外の半導体基板の主面にはCMPの研磨ストップとしてシリコン窒化膜が形成される。このシリコン窒化膜は、シリコン窒化膜よりも研磨速度が遅いものであり、また、浅溝の凸部に形成されるものである。そのため凸部の面積割合つまり浅溝のパターンに応じてCMPの研磨速度が変化する。すなわち、浅溝の凸部の割合が大きいほどシリコン窒化膜の割合が増し、CMPの研磨速度が遅くなる。なお、このような浅溝の凸部の割合はアクティブ面積率として規定することができる。

【0027】このような研磨初期の研磨レートの増加および研磨終期の研磨レートの減少は、図28に示すように、理想のCMP特性からずれたものとなる。図28は、CMPの研磨特性を説明する概念図である。すなわち、絶縁膜の凹みにより研磨初期の実際の研磨レートは理想研磨レートよりも速くなり(図中A)、凹みがとれた後は理想研磨レートと同一の研磨レートで研磨され(図中B)、窒化シリコン膜に到達した後は、アクティブ領域の面積比に応じて理想研磨レートよりも速くなる(図中C)。

【0028】このように半導体基板の各領域で、浅溝パターンに依存してCMPの研磨速度に不均一が生じ、結果として半導体基板にディッシングまたはうねりが発生してしまう。

【0029】そこで、本発明では、半導体基板の各領域で絶縁膜の凹み体積率およびアクティブ面積率を均一にするものである。

【0030】なお、半導体基板の任意の領域の凹み体積率は、半導体基板全面の平均凹み体積率の -20% から $+20\%$ の範囲とし、半導体基板の任意の領域のアクティブ面積率は、半導体基板全面の平均アクティブ面積率の -20% から $+20\%$ の範囲とすることができる。

【0031】このような半導体集積回路装置によれば、実用上問題のない平坦性を確保した半導体基板を得ることができる。すなわち、フォトリソグラフィからの要請では、凹凸を 100nm 程度の範囲に収めることが必要であるが、凹み体積率およびアクティブ面積率が半導体基板の全面の平均値の -20% から $+20\%$ の範囲にあれば上記要請を満足することが可能である。もちろん、凹み体積率およびアクティブ面積率が半導体基板の全面の平均値に一致する場合が理想ではあるが、あまりに厳格に一致させようとするとその分の製造コストが高くな

りすぎる等の問題があり、若干のプロセスマージンを許容して工程を容易にすることが妥当である。

【0032】また、半導体集積回路装置がDRAMである場合には、平均凹み体積率を選択MISFETおよび情報蓄積用容量素子が配置されたDRAMのメモリセルアレイ領域の凹み体積率とし、平均アクティブ面積率をメモリセルアレイ領域のアクティブ面積率とすることができる。

【0033】DRAMの場合、チップ面積の大部分はメモリセルアレイ領域が占めることとなり、この領域の凹み体積率およびアクティブ面積率に揃えることが妥当となる。また、DRAMのメモリセルアレイ領域に形成される浅溝は、半導体基板の領域内で最も密に分離領域が形成される領域であり、このような領域にダミー領域が形成されることはない。すなわち、メモリセルアレイ領域以外の領域にダミー領域を設けて凹み体積率およびアクティブ面積率を調整し、メモリセルアレイ領域の凹み体積率およびアクティブ面積率に一致させるように設計することとなる。このようにメモリセルアレイ領域以外の領域にのみダミー領域を形成するように設計すれば十分であり、半導体集積回路装置の設計も容易に行うことができる。

【0034】また、ダミー領域は、距離 y のピッチで互いに距離 x だけ離間して形成されたものとし、アクティブ面積率 α を、 $\alpha = (y - x) / y$ 、凹み体積率 β を、 $\beta = D / (y \times t)$ とすることができる。ただし D は凹み量であり、 t は絶縁膜の膜厚である。また、 D は、 $D = t \times x - (\text{SQRT}(t^2 - x^2 / 4) \times x / 2 + t^2 \times (\pi / 2 - \cos^{-1}(x / 2t)))$ で表される（ただしSQRTはルートを示す。）。

【0035】また、ダミー領域の上層にはゲート配線が形成されていないものとすることができる。このように、ゲート配線下にダミー領域を配置しないことにより、ゲート配線の容量を低減し、あるいはゲート配線のリーク電流を低減して半導体集積回路装置の高速応答等の性能を向上することができる。

【0036】（2）本発明の半導体集積回路装置の製造方法は、（a）半導体基板の主面にシリコン窒化膜を堆積し、活性領域およびダミー領域以外の領域のシリコン窒化膜および半導体基板をパターンニングして浅溝を形成する工程、（b）浅溝の内面を含む半導体基板およびシリコン窒化膜上に、シリコン酸化膜からなる絶縁膜を堆積し、浅溝を埋め込む工程、（c）絶縁膜をCMP法により研磨し、シリコン窒化膜を露出する工程を含み、ダミー領域を、距離 y のピッチで互いに距離 x だけ離間して形成し、ダミー領域を、 $\alpha = (y - x) / y$ で規定されるアクティブ面積率 α が、半導体基板の全面の平均アクティブ面積率またはDRAMのメモリセルアレイ領域のアクティブ面積率の -20% から $+20\%$ の範囲となる第1の条件、および、 $\beta = D / (y \times t)$ で規定され

る凹み体積率 β が、半導体基板の全面の平均凹み体積率またはDRAMのメモリセルアレイ領域の凹み体積率の -20% から $+20\%$ の範囲となる第2の条件、のいずれの条件をも満足するように形成するものである。ただし、 $D = t \times x - (\text{SQRT}(t^2 - x^2 / 4) \times x / 2 + t^2 \times (\pi / 2 - \cos^{-1}(x / 2t)))$ であり、 t は絶縁膜の膜厚である。

【0037】このような半導体集積回路装置の製造方法を用いれば、前記（1）記載の半導体集積回路装置を製造することができる。

【0038】（3）本発明の半導体集積回路装置の設計方法は、半導体基板の主面に形成する浅溝の加工に用いるマスクのパターンを生成する工程を含む半導体集積回路装置の設計方法であって、活性領域パターンを生成する第1のステップと、活性領域パターンの周辺にフォトリソグラフィの解像限界条件から要請されるダミーパターン禁止領域を生成する第2のステップと、ゲート配線パターンを生成する第3のステップと、活性領域パターン、ダミーパターン禁止領域およびゲート配線パターンの合成パターンと、1辺の長さを y 他辺の長さを z とするグリッド要素の2次元的な繰り返しからなるグリッドパターンとを重畳し、グリッド要素のうち合成パターンと重ならない空要素を抽出する第4のステップと、空要素にダミーパターンを配置する第5のステップと、活性領域パターンとダミーパターンとを合成し、マスクパターンを生成する第6のステップとを含むものである。

【0039】このような半導体集積回路装置の設計方法によれば、活性領域パターン、ダミーパターン禁止領域およびゲート配線パターンに重ならない領域にダミーパターンを配置したマスクパターンを生成することができる。このようにして生成したマスクパターンは、活性領域以外の領域にダミー領域を形成する半導体基板の形成に用いることができる。また、上記マスクパターンでは、ゲート電極の下部にダミー領域を形成しないため、ゲート電極の容量を低減し、半導体集積回路装置の性能を向上することができる。なお、このようなマスクパターンの生成は、コンピュータ等を用いて自動的に生成することが可能である。

【0040】また、ダミーパターンは、短辺を $y - x$ 、長辺を z とする長方形であり、 $\alpha = (y - x) / y$ で規定されるアクティブ面積率 α が、マスク設計領域の全面の平均アクティブ面積率またはDRAMのメモリセルが形成される領域のアクティブ面積率の -20% から $+20\%$ の範囲となる第1の条件、および、 $\beta = D / (y \times t)$ で規定される凹み体積率 β が、マスク設計領域の全面の平均凹み体積率またはDRAMのメモリセルが形成される領域の凹み体積率の -20% から $+20\%$ の範囲となる第2の条件、のいずれの条件をも満足するように生成することができる。

【0041】上記のような2つの条件を同時に満足する

ことにより、(1)に記載した半導体集積回路装置の製造に用いることができ、半導体基板の平坦性を向上することができる。

【0042】なお、 $D = t \times x - (\text{SQRT}(t^2 - x^2/4)) \times x/2 + t^2 \times (\pi/2 - \cos^{-1}(x/2t))$ であり、 t は浅溝を埋め込む際に堆積される絶縁膜の膜厚である。

【0043】また、グリッド要素の1辺の長さ y および他辺の長さ z は、フォトリソグラフィの最小解像寸法の1.5倍以上とし、浅溝を埋め込む際に堆積される絶縁膜の最大膜厚から要請される長さ以下の長さとする事ができる。このようなグリッドパターンを用いて、ダミーパターンを最適化することが可能である。

【0044】(4)本発明の半導体集積回路装置の製造方法は、(a)半導体基板の主面にシリコン窒化膜を堆積し、活性領域およびダミー領域以外の領域のシリコン窒化膜および半導体基板をパターニングして浅溝を形成する工程、(b)浅溝の内面を含む半導体基板およびシリコン窒化膜上に、オゾンとTEOSとの反応によるCVD法により堆積されるシリコン酸化膜を堆積し、浅溝を埋め込む工程、(c)シリコン酸化膜をCMP法により研磨し、シリコン窒化膜を露出する工程を含み、シリコン酸化膜の堆積前に、浅溝内の下地基板の表面ポテンシャルを打ち消す構造を形成する工程を有するものである。

【0045】このような半導体集積回路装置の製造方法によれば、シリコン酸化膜の堆積前に、浅溝内の下地基板の表面ポテンシャルを打ち消す構造を形成するため、浅溝を埋め込むシリコン酸化膜、特にオゾンとTEOSとの反応によるCVD法により堆積されるシリコン酸化膜を流動性よく、かつポーラスとはならない良好な膜質で堆積することができる。

【0046】本発明は、本発明者らの実験検討の結果得られた知見に基づくものである。その知見を以下に説明する。

【0047】すなわち、オゾンおよびTEOSを用いてCVD法により絶縁膜を堆積した場合、絶縁膜が半導体基板の浅溝を埋め込むに十分な流動性（フロー角が60度以下）を満足しようとした場合、絶縁膜はポーラスとなり、逆に、絶縁膜がポーラスとならないような膜質を得ようすると、フロー角が大きくなる問題があることは前記したとおりである。

【0048】このような流動性の相違は、成膜時の成膜圧力の相違、あるいは成膜温度の相違により成膜前駆体の重合度が相違し、重合度の相違が成膜前駆体の蒸気圧の相違をもたらして被膜形成面での流動性の相違として発現する。つまり、成膜圧力が高いほど、あるいは成膜温度が高いほど、あるいはオゾン濃度が高いほど中間体が多数生成され、その中間体の重合による成膜前駆体の重合度が増し、その分子量は大きくなり、液体的な性質

を帯びるようになる。この結果、被膜の流動性が増すこととなる。また、成膜温度が高いほど被膜形成面の活性化エネルギーが大きくなり、成膜前駆体の移動がしやすくなるという作用もある。なお、この場合の中間体は次に説明する有極性の中間体（シリコンに3つのエトキシ基と1つの水酸基が結合した分子）と考えられる。

【0049】一方、膜質の相違は、成膜時の成膜圧力の相違、あるいは成膜温度の相違、あるいはオゾン濃度の相違により成膜前駆体の種類が相違することに起因する。つまり、オゾンとTEOSの反応においては、成膜前駆体として有極性の中間体、たとえばシリコンに3つのエトキシ基と1つの水酸基が結合した分子と、無極性の中間体、たとえばシリコンに4つの水酸基が結合した分子（シラノール）が生成されると考えられる。この有極性中間体と無極性中間体との生成割合は、成膜温度、成膜圧力およびオゾン濃度によって相違し、成膜圧力が高いほど、あるいは成膜温度が高いほど、あるいはオゾン濃度が高いほど無極性中間体の生成割合が多くなる。ところで、有極性中間体からなる前駆体が被膜形成面に付着した場合を考察すると、被膜形成面の表面ポテンシャルはランダムになると考えられ、下地が熱酸化膜のようにバンドギャップが9 eVと大きく絶縁性が大きい材料である場合、ランダム性を解消するような電荷の移動が発生せず、このランダム性が成膜の進行とともに増大して被膜の形成がこの影響を受け、ポーラス（局所的な異常成長の集積）として発現する。なお、無極性中間体の場合は、このような表面ポテンシャルのランダム性は発生しにくい。ただし、無極性中間体がシラノールである場合、シラノールの重合性は低く、前駆体のシラノールの割合が増すと被膜の流動性が低下する。

【0050】上記のような流動性と膜質の相違が発生するメカニズムを考慮し、現実の実験結果を解釈すれば、流動性が十分である圧力および温度の範囲で、かつ、成膜装置の能力から制限される温度範囲では、いまだ無極性中間体のみを発生する状況にはいたらず、有極性中間体が支配的であり、有極性中間体からなる成膜前駆体の数が温度の上昇および圧力の上昇とともに増加し、被膜のポーラス性を助長して膜質を低下させている状況であると判断できる。

【0051】しかしながら、上記のような有極性中間体からなる成膜前駆体により被膜がポーラスとなるのは下地が熱酸化膜のように高いバンドギャップを有する材料の場合に限られ、下地の表面ポテンシャルのランダム性が解消される場合には有極性中間体であっても被膜はポーラスとならず良好な膜質でシリコン酸化膜を堆積することは可能である。

【0052】そこで本発明では、上記の性質を利用し、オゾンおよびTEOSを原料とするCVD法によるシリコン酸化膜を浅溝上に堆積する場合、あらかじめ、下地基板の表面ポテンシャルを打ち消す構造を形成するもの

である。このように下地基板の表面ポテンシャルを打ち消す構造をあらかじめ形成するため、有極性中間体からなる成膜前駆体からシリコン酸化膜が形成される場合であっても、シリコン酸化膜をポーラスとせず良好な膜質で成膜することができる。また、このような条件では、シリコン酸化膜の流動性も十分に確保することができ、浅溝を良好な流動性および膜質を有するシリコン酸化膜で埋め込むことができる。この結果、半導体集積回路装置の性能を向上することができる。この構造は、浅溝内に形成されていれば十分ではあるが、半導体基板の表面のシリコン窒化膜上にも形成されていればそのシリコン窒化膜上にも良質のシリコン酸化膜を堆積することができ、より好ましい。

【0053】下地基板の表面ポテンシャルを打ち消す構造は、下地基板にバンドギャップが5 eV未満の被膜を形成する第1の工程、または、下地基板としてシリコンからなる半導体基板を露出する第2の工程、または、多結晶シリコン膜もしくは炭素がドーパされたシリコン酸化膜を堆積する第3の工程、または、極性を有する酸化膜もしくはBPSG膜もしくはPSG膜もしくはBSG膜を形成する第4の工程、または、きわめて薄いシリコン酸化膜を形成する第5の工程、のいずれかの工程により形成することができる。

【0054】5 eV未満の低いバンドギャップの材料をあらかじめ下地基板に形成した場合、そのような材料にはわずかながら自由電子が存在し、この自由電子が材料内を移動することができると考えられる。したがって、有極性中間体からなる成膜前駆体であっても前記自由電子の移動により表面ポテンシャルのランダム性が解消され、被膜はポーラスとはならない。なお、バンドギャップが5 eV未満の被膜としては、金属、シリコン等の導体、半導体を例示することができる。

【0055】また、下地基板としてシリコンからなる半導体基板を露出する構造は、下地が半導体であるシリコンからなり、そのシリコン内の自由電子の移動により表面ポテンシャルのランダム性が解消され、被膜はポーラスとはならない。このような構造は、シリコン酸化膜の堆積前に、浅溝内のシリコン酸化膜を除去することにより形成することができる。

【0056】また、多結晶シリコン膜もしくは炭素がドーパされたシリコン酸化膜は、多結晶シリコン膜が半導体でありランダム性が解消できることは前記の通りであり、炭素がドーパされたシリコン酸化膜は、シリコン酸化膜絶縁体の一種ではあってもドーパされた炭素によりある程度の導電性を有し、この導電性を発現するキャリア（電子あるいはイオン）の移動により表面ポテンシャルのランダム性を解消することが可能である。

【0057】また、極性を有する酸化膜もしくはBPSG膜もしくはPSG膜もしくはBSG膜は、本来これらの材料は絶縁膜であり、自由キャリアはほとんど存在し

ないが、材料自体に極性を有し、これら極性を発現する分極電子の移動（配向分極）によっても表面ポテンシャルのランダム性は解消される。このような構造は、極性を有する酸化膜もしくはBPSG膜もしくはPSG膜もしくはBSG膜を堆積する方法の他に、浅溝内にシリコン酸化膜（たとえば熱酸化法により）を形成し、ボロンまたはリンをイオン注入によりドーパすることにより形成してもよい。

【0058】また、きわめて薄いシリコン酸化膜を形成する構造は、被膜形成表面とシリコンからなる基板との間にきわめて薄い（たとえば5 nm）のシリコン酸化膜が形成されている構造であり、このような構造の場合、被膜形成表面での表面ポテンシャルは、薄いシリコン酸化膜を介してシリコン基板に影響を与える。したがって、表面ポテンシャルの影響を受けるシリコン基板では、そのポテンシャルに応じて自由電子が移動し、シリコン基板内のポテンシャルのランダム性を解消することとなる。その結果、被膜形成表面の表面ポテンシャルもシリコン基板内のポテンシャルの影響を受けてランダム性が解消されることとなる。

【0059】なお、バンドギャップが5 eV未満の被膜としてさらに、低圧力で堆積されたCVDオゾンTEOSシリコン酸化膜を例示することができる。オゾンおよびTEOSを原料として低圧力のCVD法により形成されたシリコン酸化膜は、膜中にエトキシ基が残留し、このエトキシ基に起因したカーボンを含有することにより被膜の絶縁性が悪く、実効的にバンドギャップが5 eV未満と考えられる。したがって、このような低圧力で堆積されたCVDオゾンTEOSシリコン酸化膜をあらかじめ浅溝が形成された半導体基板に堆積しておくことにより、浅溝を埋め込むシリコン酸化膜を良好な膜質で、かつ、被覆性よく形成することができる。なお、低圧力で堆積されたCVDオゾンTEOSシリコン酸化膜の場合は、後に堆積するシリコン酸化膜と同一の装置で、また、同一の反応室で堆積することが可能であり、実質的には成膜圧力を変化させた2段階の堆積で連続的に行うことが可能である。このため特別な工程の追加を必要とせず、工程を簡略化することが可能である。

【0060】（5）また、本発明の半導体集積回路装置の製造方法は、（a）半導体基板の主面にシリコン窒化膜を堆積し、活性領域およびダミー領域以外の領域のシリコン窒化膜および半導体基板をパターニングして浅溝を形成する工程、（b）浅溝の内面を含む半導体基板およびシリコン窒化膜上に、オゾンとTEOSとの反応によるCVD法により堆積されるシリコン酸化膜を堆積し、浅溝を埋め込む工程、（c）シリコン酸化膜をCMP法により研磨し、シリコン窒化膜を露出する工程を含み、シリコン酸化膜は、オゾンとTEOSとの反応により生成される有極性中間体および無極性中間体のうち、無極性中間体が支配的な成膜前駆体となっている状態で

堆積されるものである。

【0061】このような半導体集積回路装置の製造方法によれば、浅溝を埋め込むシリコン酸化膜、特にオゾンとTEOSとの反応によるCVD法により堆積されるシリコン酸化膜を流動性よく、かつポーラスとはならない良好な膜質で堆積することができる。

【0062】すなわち、上記したメカニズムのうち、無極性中間体が支配的な温度範囲でシリコン酸化膜の成膜を行うことにより、被膜がポーラスとなることを抑制し、膜質を改善するものである。

【0063】このような温度条件としては、基板温度が500℃以上、600℃以下の温度範囲で行われる第1の条件、または、成膜圧力が400Torr以上で行われる第2の条件、または、オゾン濃度の高い状態で行われる第3の条件、を例示することができる。

【0064】(6)本発明の半導体集積回路装置は、半導体基板の主面に浅溝が形成され、浅溝を含む半導体基板の全面に堆積された絶縁膜がCMP法によって研磨され、浅溝内のみ絶縁膜が残存された分離領域を有する半導体集積回路装置であって、浅溝内の半導体基板と浅溝に埋め込まれた絶縁膜との境界部には、5eV未満のバンドギャップを有する被膜が形成されている第1の構成、絶縁膜と半導体基板との界面にはなんら被膜が形成されず直接接触している第2の構成、多結晶シリコン膜もしくは炭素がドーパされたシリコン酸化膜が形成されている第3の構成、極性を有する酸化膜もしくはBPSG膜もしくはPSG膜もしくはBSG膜が形成されている第4の構成、きわめて薄いシリコン酸化膜が形成されている第5の構成、のいずれかの構成を有するものである。

【0065】このような半導体集積回路装置は、前記した(4)記載の製造方法により形成されるものであり、浅溝に埋め込まれている絶縁膜は、流動性よく、かつ良好な膜質で形成されたものである。

【0066】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0067】図1は、本発明の一実施の形態である半導体集積回路装置の一例を示した断面図である。

【0068】本実施の形態の半導体集積回路装置は、半導体基板1の主面に浅溝2が形成され、浅溝2にシリコン酸化膜が埋め込まれた素子分離領域3を有するものである。この素子分離領域3によって、半導体基板1の主面に活性領域4およびダミー領域60が形成される。なお、ここでは浅溝素子分離構造を例示するが、LOCOS法により形成されたフィールド絶縁膜による素子分離構造であってもよい。また、ここでは図示していないが半導体基板の主面にはウェルが形成されていてもよい。

【0069】ダミー領域60はスクライブ領域にも形成されてよい。このようにダミー領域60が形成されてい

るため、半導体基板1にディッシングが発生せず、表面を平坦化することが可能となる。また、ダミー領域60の大きさが小さく、その数を最適化することにより、ダミー領域60による寄生容量の増加を防止し、半導体集積回路装置の性能を保持することが可能となる。

【0070】半導体基板の主面上にはゲート絶縁膜5を介してゲート配線6が形成されている。ゲート絶縁膜5はたとえば熱CVD法等により形成されたシリコン酸化膜とすることができ、ゲート配線6はたとえば多結晶シリコンとすることができる。多結晶シリコンの表面は、電気抵抗低減のためのシリサイド層が形成されていてもよい。

【0071】ゲート配線6の一部は、半導体基板1の活性領域4に形成されたMISFETQ1のゲート電極7となるものである。ゲート電極7の両側の半導体基板1の主面である活性領域4には不純物半導体領域8が形成されている。不純物半導体領域8は、MISFETQ1のソース・ドレイン領域として機能するものであり、いわゆるLDD(Lightly Doped Drain)とすることもできる。また、ゲート配線6の側面にはサイドウォール8bが形成されている。サイドウォール8bはたとえばシリコン酸化膜またはシリコン窒化膜とすることができ

【0072】なお、半導体基板1の主面にゲート配線6が形成される領域には、ダミー領域60を配置しない方がよい。この様子を図2に示す。図2は、半導体基板1の主面における平面図を示す。ダミー領域60は、半導体基板1の活性領域4と同様の作用を持つため、その直上にゲート配線6が形成されれば、ゲート配線6をゲート絶縁膜5を介して活性領域4と向き合うこととなり、ゲート配線6の寄生容量が大きくなるが、このように、ゲート配線6が形成される領域には、ダミー領域60を配置しない場合には、ゲート配線6の寄生容量が増加することがない。この結果、半導体集積回路装置の性能を低下させることがない。

【0073】また、ダミー領域60は、活性領域4の周辺のダミー禁止領域には配置されない。ダミー禁止領域については後に説明する。

【0074】なお、ダミー領域60が細長いパターンとなる場合には、ダミー領域60の長辺に垂直な方向に副ダミー領域60bを設けることができる。これにより、現象液の表面張力等によるダミー領域60を形成するためのレジストパターンの倒れを防止することができる。副ダミー領域60bの幅は、ダミー領域60の幅と同等に、副ダミー領域60b間の間隔は100～数100μmとすることができる。なお、レジスト倒れのおそれがないときには、副ダミー領域60bを設ける必要がないことはいうまでもない。

【0075】MISFETQ1は、ロジック回路あるいはDRAMの選択MISFET、周辺回路のMISFE

T等の能動素子として機能する。なお、ここではトランジスタとしてMISFETを例示しているがバイポーラトランジスタあるいはBi-CMOSトランジスタであってもよい。

【0076】ゲート配線6は層間絶縁膜9で覆われ、層間絶縁膜上には、配線10およびダミー配線11が形成されている。

【0077】層間絶縁膜9は、たとえばPSG膜、BP SG膜、あるいはSOG膜等のシリコン酸化膜とすることができる。また、不純物の拡散を防止するためにTEOSシリコン酸化膜等との積層膜とすることもできる。また、層間絶縁膜9の表面はCMP法あるいはエッチバック法等により平坦化されていることが好ましい。

【0078】配線10およびダミー配線11は同一の材料からなり同一工程で形成されるものである。材料としては、たとえばアルミニウム、銅等の金属を例示することができるが、不純物が高濃度にドーブされた多結晶シリコンであってもよい。多結晶シリコンの場合その表面がシリサイド化されていてもよい。

【0079】配線10およびダミー配線11の上層には層間絶縁膜12が形成されている。層間絶縁膜12は、TEOSを用いたCVD法により形成されたシリコン酸化膜、SOG膜およびTEOSを用いたCVD法により形成されたシリコン酸化膜の多層膜とすることができる。なお、配線10と同一層にダミー配線11を形成するため、層間絶縁膜12をCMP法により平坦化した場合には、層間絶縁膜12の表面にディッシングを生じず、平坦性を向上することができる。

【0080】なお、ここでは、配線が1層である場合を例示しているが、配線10およびダミー配線11ならびに層間絶縁膜12と同様の配線および層間絶縁膜をさらに多層に形成してもよい。

【0081】次に、上記した半導体集積回路装置の製造方法を図3～図5および図25～図27を用いて説明する。図3～図5および図25～図27は、本実施の形態の半導体集積回路装置の製造方法の一例を示した断面図である。

【0082】まず、図3に示すように、半導体基板1の主面にシリコン窒化膜61を堆積し、シリコン窒化膜61および半導体基板1をパターンニングして浅溝2を形成する。浅溝2は、素子分離領域3となるものであり、活性領域4およびダミー領域60の両方を形成するものである。

【0083】なお、このパターンニングの際に、ダミー領域60には、副ダミー領域60bが設けられているので、パターンニングに用いるレジストマスクの剥がれを防止できる。

【0084】次に、図4に示すようにシリコン酸化膜62を堆積する。シリコン酸化膜62は、オゾンとTEOSを原料とするCVD法により形成堆積することがで

き、半導体基板1の主面上で膜厚が t となるように堆積する。CVDの条件については後に説明する。

【0085】次に、図5に示すように、半導体基板1にCMP法による研磨を施し、半導体基板1の主面上のシリコン酸化膜62を除去して、浅溝2内のみシリコン酸化膜62を残存させて、素子分離領域3を形成する。

【0086】ここで、前記パターンニングに用いられるマスクパターンの設計方法について説明する。

【0087】図6は、活性領域パターンの一部を示す平面図である。活性領域パターン64は、後に活性領域4に加工される領域を示したものである。仮にこのような活性領域パターン64のみで浅溝2を形成した場合には、活性領域パターン64以外の領域は、素子分離領域3となり、この素子分離領域3の形成のためのCMP工程において、ディッシングを生じることになる。ここでは図示しないが、たとえばDRAMのメモリセル領域のように高密度に活性領域が形成されている場合に比較して、図示したように比較的疎に活性領域4が形成される場合には、浅溝2を埋め込むシリコン酸化膜62の凸部の面積が少なくなり、相対的に必要研磨量が減少するためである。

【0088】したがって、本実施の形態ではダミー領域60（副ダミー領域60bを含む）を形成してCMPの研磨量を調整し、半導体基板1の全面にわたって研磨量が均一となるようにし、ディッシングを防止して半導体基板1の平坦性を向上しようとするものである。

【0089】ダミー領域60を有する半導体基板1を加工するためのマスクパターンは、以下のようにして設計される。以下、図7～図11を用いて説明する。図7～図11は、半導体基板1に浅溝2を加工するためのマスクパターンを設計方法を説明するための平面図である。

【0090】まず、図7に示すように、活性領域パターン64の周辺にダミー禁止領域65を生成する。ダミー禁止領域65は、ダミー領域60の形成を禁止する領域であり、フォトリソグラフィの解像度から要求される幅 d だけ活性領域パターン64の外側に広げたものである。これは、この領域にダミー領域60を形成するためのダミーパターンが配置されても、フォトリソグラフィの解像度の限界から活性領域4と分離してダミー領域60を加工することができないため、あらかじめダミーパターンの配置を制限するものである。幅 d としては、たとえば $0.25\mu\text{m}$ を例示することができる。

【0091】また、ダミー禁止領域65には、スクライブ領域に設けられたフォトリソグラフィのためのフォトターゲット（マスク合わせ用マーカー）およびその周辺部も含まれ、さらに、TEG（Test Elementary Group）やプローブパッドの下部およびその周辺も含まれる。

【0092】次に、図8に示すように、ゲート配線パターン66を重畳する。ゲート配線パターン66は、ゲート配線6を加工するためのパターンであり、この領域に

ゲート配線6が形成される。これは、ゲート配線6の下部にダミー領域60が形成された場合にはゲート配線6の容量が増大し、半導体集積回路装置の性能を低下させる可能性があるため、ゲート配線6の下部にダミー領域60を形成しないようにするためである。

【0093】次に、図9に示すように、グリッドパターン67を重畳する。グリッドパターン67は縦辺zおよび横辺yのグリッド要素68を2次元的に繰り返したパターンである。ここで、各グリッド要素68に着目し、グリッド要素68内に前記した活性領域パターン64、ダミー禁止領域65およびゲート配線パターン66が重ならないグリッド要素68を抽出する。このようなグリッド要素68は図においてハッチングを付して示している。

【0094】次に、図10に示すように、ハッチングを付したグリッド要素68、つまり活性領域パターン64、ダミー禁止領域65およびゲート配線パターン66が重ならないグリッド要素68にダミーパターン69を配置する。ダミーパターン69は、長さをz幅をy-xとするものであり、グリッド要素68ごとに配置する。したがって、縦に連続したグリッド要素68にダミーパターン69が配置される場合には、図示するようにラインパターンとなる。

【0095】また、ダミーパターン69が細長いパターンとなる領域に副ダミーパターン69bを設ける。このような副ダミーパターン69bによりレジスト倒れを防止できる。

【0096】次に、図11に示すように、ダミーパターン69および副ダミーパターン69bと活性領域パターン64とを合成し、浅溝2を加工するためのマスクパターン70を生成する。このマスクパターン70を用いて、前記フォトリソグラフィを実施することにより、半導体基板1の主面に浅溝2を形成し、活性領域4、ダミー領域60および副ダミー領域60bを形成することができる。

【0097】ただし、前記したダミーパターンは任意に生成されるものではなく、次に説明するような条件にしたがうように生成することができる。すなわち、以下の条件にしたがうようにダミーパターン69を生成し、このダミーパターン69を有するマスクパターン70を用いて浅溝2を形成した場合には、前記したCMPによるシリコン酸化膜62の研磨を半導体基板1の全面にわたって均一に行うことができ、半導体基板1の平坦性を向上することができる。以下にその条件について図12～図17を用いて説明する。図12～図17は、平坦性を向上するマスクパターンを設計するための条件を説明する断面図またはグラフである。

【0098】図12は、浅溝2が形成された半導体基板1を模式的に示した断面図である。半導体基板1の主面にはシリコン窒化膜61が形成されている。浅溝2お

よびシリコン窒化膜61上にはシリコン酸化膜62が形成され、浅溝2にはシリコン酸化膜62が埋め込まれている。この浅溝2上のシリコン酸化膜62には図に示すような凹部が形成される。いま、浅溝2上のシリコン酸化膜62の形状を円弧71で近似すると、浅溝2上のシリコン酸化膜62の表面では凹み面積Dに相当する分だけ、浅溝2が無いとした場合のシリコン酸化膜62よりも凹みが生じている。グリッド要素の幅をy、浅溝2の幅をx、つまりダミー領域60の幅をy-x、シリコン酸化膜62の厚さをtとすれば、凹み面積Dは、 $D = t \times x - (\text{SQRT}(t^2 - x^2/4) \times x/2 + t^2 \times (\pi/2 - \cos^{-1}(x/2t)))$ 、(ただしSQRTはルートを示す。)と求められる。

【0099】この凹み面積Dをxの関数の関数として表せば、図13に示すようになる。なお、図13ではシリコン酸化膜62の厚さtを1としている。また、ここでは、浅溝2上のシリコン酸化膜62の形状を円弧71で近似したが、これよりも流動性のある被膜を用いた場合には、凹み面積Dは小さくなり、図13の波線で示すようなグラフとなる。

【0100】ダミーパターン69を図10に示すようなライン状パターンとすれば、凹み体積率 β は、 $\beta = D/(y \times t)$ で表され、また、浅溝2の領域を除く半導体基板1の表面(シリコン窒化膜61が形成された領域)の面積率(アクティブ面積率 α と定義する。)は、 $\alpha = (y-x)/y$ と表される。この α および β をyの関数として表せば、図14のようになる。なお、図14ではシリコン酸化膜62の厚さtを1としている。

【0101】シリコン酸化膜62のCMPによる研磨の際、研磨の初期段階における研磨レートの増加は、研磨面であるシリコン酸化膜62の凹凸に起因して発生し、このような初期研磨レートの増加は凹み体積率 β として定量化することができる。また、CMP研磨による最終段階では、シリコン窒化膜61を研磨することとなり、これにより研磨レートが減少し、このような終期研磨レートの減少は、アクティブ面積率 α として定量化することができる。半導体基板1の各領域において、パターンは任意に形成されており、一般的にはアクティブ面積率 α が相違し、同時に凹み体積率 β も相違したものとなっている。このため、CMP研磨により半導体基板1の各領域での研磨レートが相違して平坦性を害していると解釈することができる。

【0102】そこで、ダミー領域60を形成してアクティブ面積率 α および凹み体積率 β を調整し、半導体基板1の全域においてアクティブ面積率 α の値と凹み体積率 β の値とを一致させれば、半導体基板1の平坦性を維持したままCMP研磨が進行することとなる。この結果、半導体基板1の平坦性を向上することができる。

【0103】アクティブ面積率 α および凹み体積率 β の値は、半導体基板1の全域での平均値とすることができ

る。具体的には、ダミー領域60を形成することが不可能な領域の値にその他の領域の値を調整することが好ましい。たとえばDRAMの場合、メモリセルアレイ領域においては、活性領域4が密に形成されており、このような領域にさらにダミー領域60を形成することはフォトリソグラフィの解像限界から困難である。したがって、DRAMでは、周辺回路領域あるいはスクライプ領域にダミー領域60を設け、周辺回路領域あるいはスクライプ領域のアクティブ面積率 α および凹み体積率 β の値をメモリセルアレイ領域の値に一致させることが好ましい。

【0104】アクティブ面積率 α および凹み体積率 β の具体的な決定方法は、以下のように行うことができる。

【0105】まず、目標となるアクティブ面積率 α および凹み体積率 β を決定する。この値は、DRAMの場合メモリセルアレイ領域の値とすることができることは前記したとおりである。

【0106】次に、適当な x および y を設定し、アクティブ面積率 α および凹み体積率 β を前記計算式にしたがって計算し、この値を目標となるアクティブ面積率 α および凹み体積率 β で規格化する。この規格化されたアクティブ面積率 α および凹み体積率 β を x あるいは y の関数としてプロットし、 α および β の交点が1となる x あるいは y の値を探せばよい。

【0107】なお、 α および β の交点が1となる x あるいは y の値は理想値であり、必ずしもこれに一致している必要はない。一般的には、+20%〜-20%の範囲で許容することができる。このような範囲内であれば、フォトリソグラフィ工程で許容される表面平坦性(±100nm程度)をクリアすることは可能である。

【0108】図17に計算例を示す。図17(a)は、目標 α を0.4、目標 β を0.05、シリコン酸化膜62の膜厚を0.5とした場合の規格化された α および β の値を y の関数として示したものである。図中のグラフに α または β の別を示し括弧内の数字は x の値を示す。 x が0.4の場合、 α および β の交点は $y=0.48$ の点であり、 α および β の値は0.42である。 α および β の値は1よりもはるかに小さく、このような x および y の条件は妥当でない。同様に、 x が0.55の場合、 α および β の交点は $y=0.78$ の点であり、 α および β の値は0.75である。また、 x が0.70の場合、 α および β の交点は $y=1.2$ の点であり、 α および β の値は1.05である。最適値は x が0.55の場合と x が0.70の場合との間に存在し、図中では白抜き丸印で示したグラフであり、 x が0.68の場合である。このとき α および β の交点の値は1となり、そのときの y の値は1.13である。

【0109】すなわち、メモリセルアレイ領域のアクティブ面積率 α および凹み体積率 β が各々0.4および0.05の場合、浅溝2を埋め込むシリコン酸化膜62の膜厚を0.5 μ m堆積する場合には、 $x=0.68$ 、 $y=1.13$

の条件でダミーパターン69を生成し、このパターンを用いて、周辺回路領域あるいはスクライプ領域等のメモリセルアレイ領域以外の領域にダミー領域60(副ダミー領域60bを含む)を形成すると、半導体基板1上のシリコン酸化膜62およびシリコン窒化膜61は、半導体基板1の任意の領域で均一に研磨され、半導体基板1のきわめて良好な平坦性を確保することが可能となる。

【0110】他の計算例を図17(b)に示す。この場合は、目標 α を0.5、目標 β を0.05、シリコン酸化膜62の膜厚を0.5とした場合であり、上記と同様に最適値を求めれば、最適値は図中では白抜き丸印で示したグラフであり、 x が0.73、 y が1.45のときである。

【0111】なお、上記計算例はあくまでも例示であり、他の目標値の場合であっても同様に計算することは可能である。また、コンピュータによる自動計算も可能である。

【0112】上記のようにしてダミーパターン69を生成し、浅溝2を形成するためのマスクパターン70を設計することができる。このようなマスクパターン70を用いて形成した浅溝2にシリコン酸化膜62を堆積し、CMP法により研磨した場合には、上記の説明のとおり半導体基板1の表面を平坦化することができる。

【0113】なお、上記の説明では、便宜的に浅溝2がグリッド要素68の中央に配置されている図面(図12)を用いて説明したが、実際には、図15に示すように、ダミーパターン69がグリッド要素68の中央に配置されるようにレイアウトする。図10においては、このようにダミーパターン69がグリッド要素68の中央に配置された場合を図示している。したがって、マスクパターン70の最小寸法は、ダミーパターン69のライン幅($y-x$)、あるいはスペース幅(x)となり、これらの値がフォトリソグラフィの解像限界以上である必要がある。このような要請から、 y の値は、フォトリソグラフィの解像限界寸法の1.5倍以上である必要がある。また、ダミーパターン69の最小寸法は、シリコン酸化膜62の膜厚 t の値によっても変化する。この様子を図16に示す。図16は、 β が0.05の時の $x/2$ および $y-x$ の値の α 依存性を示す。シリコン酸化膜62の膜厚 t が大きくなるほど最小スペース寸法を大きくすることができることがわかる。ただし、膜厚 t は無限に厚くすることはできず、シリコン酸化膜62の膜厚分布あるいはCMPの工程負担から要請される最大膜厚 t_{max} が存在する。つまり、この最大膜厚 t_{max} によって、ダミーパターン69の最小スペース寸法が制限されることとなる。すなわち、 y の値は、フォトリソグラフィの解像限界寸法の1.5倍以上、最大膜厚 t_{max} から要請される寸法以下であることが必要である。なお、シリコン酸化膜62に流動性のある膜を採用する場合には、シリコン酸化膜62の膜厚を厚くせずとも最小スペース寸法を大きくすることができる効果がある。

【0114】次に、図4に示すシリコン酸化膜62の堆積について詳しく説明する。

【0115】図18は、シリコン酸化膜62を堆積した後の半導体基板1の断面を拡大した断面図である。

【0116】本実施の形態では、浅溝2を形成した後に、まず、低圧力の条件下で堆積したオゾンTEOSシリコン酸化膜62aを形成する。その後、通常の条件で堆積したオゾンTEOSシリコン酸化膜62bを形成する。低圧力の条件としてはたとえば20 Torr、400℃を例示することができる。通常の条件としてはたとえば400 Torr、400℃を例示することができる。

【0117】このようにシリコン酸化膜62を2段階で堆積する理由は以下のとおりである。その理由を図19～図24を用いて説明する。図19～図24は、オゾンTEOSシリコン酸化膜の成膜メカニズムを説明するための概念図またはグラフである。

【0118】図19は、オゾンおよびTEOSを原料としたCVD法によりシリコン酸化膜を堆積する場合の成膜機構、特にフロー性の発現機構を説明するための概念図である。オゾンTEOSシリコン酸化膜は、オゾンの熱分解により発生した酸素がTEOSを分解することにより成膜される。TEOSの分解により生成される中間体は、シリコンに3つのエトキシ基と1つの水酸基が結合した分子であり、この中間体は重合して重合体を形成する。この重合体は、下地の表面を流れるように移動し、フロー性を発現することとなる。したがって、重合体はある程度以上の重合度である必要があり、重合度は中間体の数が多いほど高いと考えられるため、十分なフロー性を発現するには、十分な量の中間体が生成される必要があると考えられる。この様子は、図22～図24の実験結果を表すグラフにも現れている。

【0119】図22は、フロー角およびオゾンTEOSシリコン酸化膜の表面荒さRaの成膜温度依存性を示すグラフである。成膜温度が高くなるほど中間体の生成は多くなり、したがってフロー角は小さくなり流動性が良くなっている。なお、フロー角は、図19におけるオゾンTEOSシリコン酸化膜断面の傾斜角 θ を示す。

【0120】また、図23は、フロー角およびオゾンTEOSシリコン酸化膜の表面荒さRaのオゾン流量依存性を示すグラフである。オゾン流量が大きくなるほど中間体の生成は多くなり、したがってフロー角は小さくなり流動性が良くなっている。

【0121】さらに、図24は、フロー角およびオゾンTEOSシリコン酸化膜の表面荒さRaの成膜圧力依存性を示すグラフである。成膜圧力が高くなるほど中間体の生成は多くなり、したがってフロー角は小さくなり流動性が良くなっている。

【0122】このようなフロー角が十分な条件では、オゾンTEOSシリコン酸化膜はポーラスとなり、その表

面荒さRaは大きくなる。オゾンTEOSシリコン酸化膜がポーラスとなる理由は以下のように考えられる。図20および図21は、オゾンTEOSシリコン酸化膜がポーラスとなる理由を説明するための概念図である。図20内の表に示すように、オゾンTEOSシリコン酸化膜がポーラスとなること（下地依存性）は、下地材料に依存する。すなわち、バンドギャップの大きい熱酸化膜やシリコン窒化膜上では下地依存性があり、バンドギャップの小さい金属やシリコン上では下地依存性がみられない。これは前記中間体（シリコンに3つのエトキシ基と1つの水酸基が結合した分子）はエトキシ基と水酸基との電気陰性度の差により極性を持ち、この中間体が下地基板に付着することにより表面ポテンシャルがランダムになると考えられる。下地が熱酸化膜のように絶縁性が大きいと、表面ポテンシャルのランダム性を解消するような電荷の移動は発生せず、このランダム性が成膜の進行とともに増大して成膜がこの影響を受けポーラスになると考えられる。

【0123】ところで、上記説明では、TEOSの分解により有極性中間体が生成されたと考えたが、反応圧力を増加すると、図21に示すように、TEOSが完全に分解され、無極性の中間体であるシラノールが生成される。シラノールの生成は、前記下地依存性に対しては無極性ゆえ表面ポテンシャルの影響を受けず、ポーラスにならない方向に作用する。一方、フロー性に対しては重合体を形成しないためフロー性を悪化させる方向に作用する。

【0124】上記下地依存性の発現機構は、図22～図24の実験結果を表すグラフにも現れている。

【0125】図22では、成膜温度が高くなるほどRaは増加し、400℃をピークにして低下する。これは、400℃までは有極性中間体の生成が増加し、その結果Raが増大するが、その後、無極性中間体が生成されるようになり、400℃を境にして無極性中間体が支配的となり、Raを低下させていると解釈できる。

【0126】また、図23では、オゾン流量が大きくなるほど有極性中間体の生成が多くなり、したがってRaが増加していると解釈できる。

【0127】さらに、図24では、成膜圧力が高くなるほどRaは増加し、500 Torrをピークにして低下する。これは、500 Torrまでは有極性中間体の生成が増加し、その結果Raが増大するが、その後、無極性中間体が生成されるようになり、500 Torrを境にして無極性中間体が支配的となり、Raを低下させていると解釈できる。

【0128】上記のメカニズムより、シリコン酸化膜62を流動性よく、かつポーラスでない良好な膜質で堆積するためには、重合体を形成する有極性中間体の存在する条件下で下地の表面ポテンシャルを解消する手段を講じるか、またはリフロー性を害しない程度に無極性中間

体が支配的となる条件下で成膜すればよい。

【0129】表面ポテンシャルを解消する手段としては、下地基板にバンドギャップが5 eV未満の被膜を形成する第1の工程、または、下地基板としてシリコンからなる半導体基板を露出する第2の工程、または、多結晶シリコン膜もしくは炭素がドーパされたシリコン酸化膜を堆積する第3の工程、または、極性を有する酸化膜もしくはBPSG膜もしくはPSG膜もしくはBSG膜を形成する第4の工程、または、きわめて薄いシリコン酸化膜を形成する第5の工程、のいずれかの工程により形成することができることは前記した。

【0130】本実施の形態では、下地基板の表面ポテンシャルのランダム性を、低圧力(20 Torr)の条件下で堆積したオゾンTEOSシリコン酸化膜62aで実現した。これにより、通常の条件で堆積したオゾンTEOSシリコン酸化膜62bを、有極性中間体が支配的な条件下であってもポーラスでない良好な膜質のシリコン酸化膜とすることができる。

【0131】なお、本実施の形態では、低圧力の条件下で堆積したオゾンTEOSシリコン酸化膜62aを例示したが、下地基板にバンドギャップが5 eV未満の被膜を形成するまたは、下地基板としてシリコンからなる半導体基板を露出する、または、多結晶シリコン膜もしくは炭素がドーパされたシリコン酸化膜を堆積する、または、極性を有する酸化膜もしくはBPSG膜もしくはPSG膜もしくはBSG膜を形成する、または、きわめて薄いシリコン酸化膜を形成することにより実現してもよいことは言うまでもない。

【0132】また、リフロー性を害しない程度に無極性中間体が支配的となる条件下で成膜してもよい。そのような条件は、図22～図24の実験結果のグラフから、基板温度が500℃以上、600℃以下の温度範囲で行われる条件、または、成膜圧力が400 Torr以上で行われる条件、または、オゾン濃度の高い状態で行われる条件を例示することができることは明らかである。

【0133】このようなシリコン酸化膜62の堆積方法により、シリコン酸化膜62を流動性よく、かつポーラスでない良好な膜質で堆積することができる。

【0134】シリコン酸化膜62をCMP法により研磨し、図5に示すように、半導体基板1の主面上に素子分離領域3を形成する際、上記のようなマスクパターン70を用い、ダミー領域60(副ダミー領域60bを含む)を形成していれば、半導体基板1のきわめて良好な平坦性が確保され、また、前記のようなシリコン酸化膜62を堆積すれば、浅溝2が微細化されていても十分に埋め込むことができ、かつポーラスでない膜質の良好な素子分離領域3を形成することが可能である。

【0135】なお、CMP研磨においては、1次研磨としてシリコン酸化膜をCMP法により研磨し、さらに2次研磨を行い、異物およびダメージ層の除去を行うこと

ができる。1次研磨には、シリコン酸化物粒子を研磨剤とするアルカリ性のスラリーを用いることができる。この場合、シリコン酸化膜とシリコン窒化膜との研磨速度の比が3～4対1となるためシリコン窒化膜の膜厚をある程度厚くする必要がある。2次研磨は、柔らかいパッドを用いて行うことができ、薬液を用いてもよいが、純水を用いても構わない。

【0136】また、その後、半導体基板1の両面をスクラブおよびフッ酸洗浄し、さらにアンモニア洗浄および塩酸洗浄を行った後、素子分離領域3およびダミー領域60のエッチバックを行うことができる。エッチバックは、ドライエッチングあるいはウェットエッチングにより行うことができる。このように素子分離領域3およびダミー領域60のエッチバックを行うことにより、素子分離領域3およびダミー領域60の高さを活性領域4の高さと等しくするかあるいはそれより低くすることが可能である。これにより、微細なゲート配線の加工が可能となる。

【0137】次に、図25に示すように、シリコン窒化膜61を除去する。

【0138】次に、図26に示すように、ゲート絶縁膜5となるシリコン酸化膜を熱CVD法により形成し、さらに多結晶シリコン膜を堆積する。多結晶シリコン膜は、公知のフォトリソグラフィおよびエッチング技術を用いてパターンングされ、ゲート配線6(ゲート電極7)が形成される。その後、ゲート電極7をマスクにして不純物をイオン注入し、不純物半導体領域8を形成する。さらにシリコン酸化膜を堆積後異方性エッチングを行ってサイドウォール8bを形成する。この後、さらに高濃度の不純物をイオン注入して不純物半導体領域8をいわゆるLDD構造としてもよい。

【0139】次に、図27に示すように、PSG膜を形成し、エッチバック法あるいはCMP法を用いて平坦化し、層間絶縁膜9を形成する。その後、アルミニウム膜をスパッタ法あるいは蒸着法を用いて堆積する。さらに、アルミニウム膜を公知のフォトリソグラフィおよびエッチング技術を用いてパターンングし、配線10およびダミー配線11を形成する。

【0140】その後、層間絶縁膜12を形成し、図1に示す半導体集積回路装置がほぼ完成する。

【0141】本実施の形態の製造方法によれば、半導体基板1の平坦性をきわめて良好に確保することが可能であり、その後のフォトリソグラフィ工程のプロセスマージンを増加して半導体集積回路装置の微細化に対応することが可能となる。

【0142】また、素子分離領域3の膜質を向上し、半導体集積回路装置の性能を向上することができる。

【0143】さらに、本実施の形態では、シリコン酸化膜62の上層にCMP研磨レートを調整するため、たとえばシリコン窒化膜をたとえば活性領域パターン64と

は逆のパターンで形成する必要がないため、マスクを1枚減ずることができ、半導体集積回路装置の製造方法を簡略化することができる。

【0144】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0145】たとえば、本実施の形態では、浅溝2を埋め込むシリコン酸化膜62の表面形状を円弧71で近似したがこれに限られるものではなく、任意の形状たとえば楕円、三角形等とすることができ、また、現実の実験結果により求めたプロセス特有の形状とすることもできる。また、凹み面積Dは、上記断面形状に応じて任意の方法で求めることができ、適当な断面関数を用いて数値解析により求めることも可能である。

【0146】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0147】CMP法による研磨後の部材表面を完全に平坦化することができる。

【0148】フォトリソグラフィ工程およびエッチング工程等でのプロセスマージンを向上し、微細な加工および高集積化に対応することができ、半導体集積回路装置の信頼性および歩留まりを向上することができる。

【0149】プロセス立ち上げを容易にすることができる。

【0150】CMP法により研磨される部材の研磨量を低減し、工程負荷の低減および工程時間の短縮によるコスト競争力の向上を図ることができる。

【0151】CMP法により完全平坦化が可能な部材パターンの設計方法を提供することができる。

【0152】完全平坦化を実現するための対策により生ずる配線等の寄生容量の増加を抑制し、半導体集積回路装置の性能を確保することができる。

【0153】シリコン酸化膜の上層にCMP研磨レート进行调整するためのパターンを形成する必要がなく、マスクを1枚低減して半導体集積回路装置の製造方法を簡略化することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置の一例を示した断面図である。

【図2】半導体基板の主面における平面図を示す。

【図3】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を示した断面図である。

【図4】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を示した断面図である。

【図5】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を示した断面図である。

【図6】活性領域パターンの一部を示す平面図である。

【図7】半導体基板に浅溝を加工するためのマスクパターンの設計方法を説明するための平面図である。

【図8】半導体基板に浅溝を加工するためのマスクパターンの設計方法を説明するための平面図である。

【図9】半導体基板に浅溝を加工するためのマスクパターンの設計方法を説明するための平面図である。

【図10】半導体基板に浅溝を加工するためのマスクパターンの設計方法を説明するための平面図である。

【図11】半導体基板に浅溝を加工するためのマスクパターンの設計方法を説明するための平面図である。

【図12】平坦性を向上するマスクパターンを設計するための条件を説明する断面図である。

【図13】平坦性を向上するマスクパターンを設計するための条件を説明するグラフである。

【図14】平坦性を向上するマスクパターンを設計するための条件を説明するグラフである。

【図15】平坦性を向上するマスクパターンを設計するための条件を説明する断面図である。

【図16】平坦性を向上するマスクパターンを設計するための条件を説明するグラフである。

【図17】(a)および(b)は、平坦性を向上するマスクパターンを設計するための条件を説明するグラフである。

【図18】シリコン酸化膜を堆積した後の半導体基板の断面を拡大した断面図である。

【図19】オゾンTEOSシリコン酸化膜の成膜メカニズムを説明するための概念図である。

【図20】オゾンTEOSシリコン酸化膜の成膜メカニズムを説明するための概念図である。

【図21】オゾンTEOSシリコン酸化膜の成膜メカニズムを説明するための概念図である。

【図22】オゾンTEOSシリコン酸化膜の成膜メカニズムを説明するためのグラフである。

【図23】オゾンTEOSシリコン酸化膜の成膜メカニズムを説明するためのグラフである。

【図24】オゾンTEOSシリコン酸化膜の成膜メカニズムを説明するためのグラフである。

【図25】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を示した断面図である。

【図26】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を示した断面図である。

【図27】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を示した断面図である。

【図28】CMPの研磨特性を説明する概念図である。

【符号の説明】

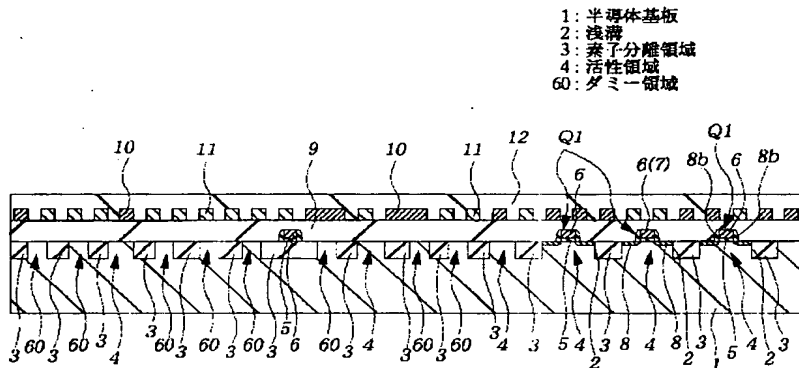
- 1 半導体基板
- 2 浅溝
- 3 素子分離領域
- 4 活性領域

- 5 ゲート絶縁膜
- 6 ゲート配線
- 7 ゲート電極
- 8 不純物半導体領域
- 8 b サイドウォール
- 9 層間絶縁膜
- 10 配線
- 11 ダミー配線
- 12 層間絶縁膜
- 60 ダミー領域
- 60 b 副ダミー領域
- 61 シリコン窒化膜
- 62 シリコン酸化膜

- 62 a オゾンTEOSシリコン酸化膜
- 62 b オゾンTEOSシリコン酸化膜
- 64 活性領域パターン
- 65 ダミー禁止領域
- 66 ゲート配線パターン
- 67 グリッドパターン
- 68 グリッド要素
- 69 ダミーパターン
- 69 b 副ダミーパターン
- 70 マスクパターン
- 71 円弧
- α アクティブ面積率
- β 凹み体積率

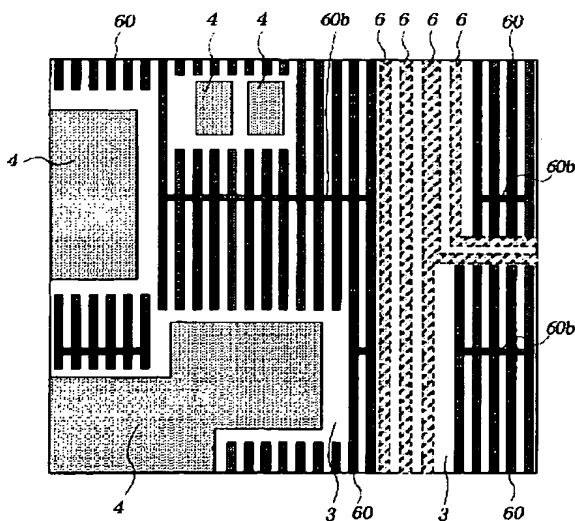
【図1】

図 1



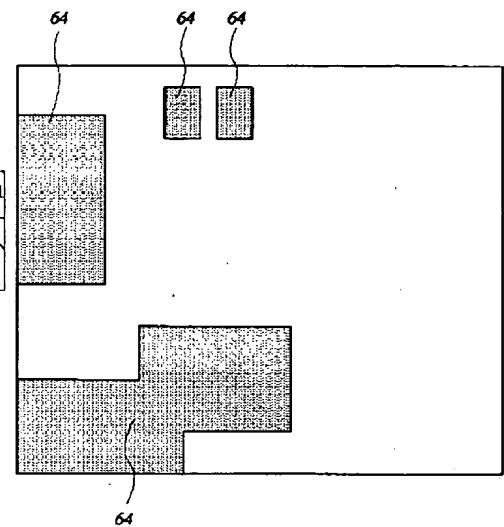
【図2】

図 2



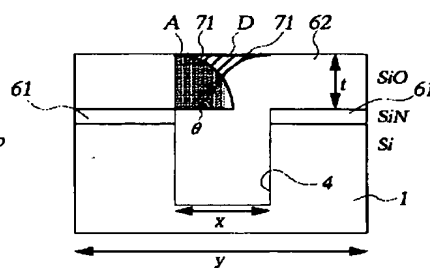
【図6】

図 6



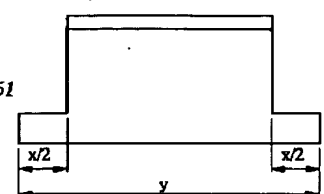
【図12】

図 12



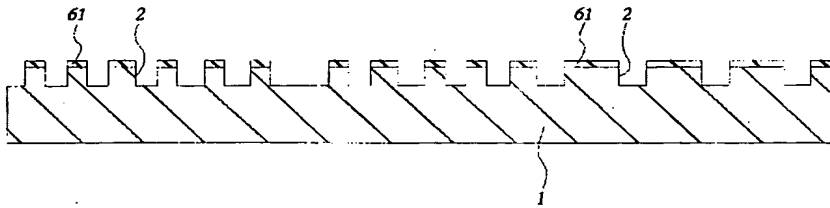
【図15】

図 15



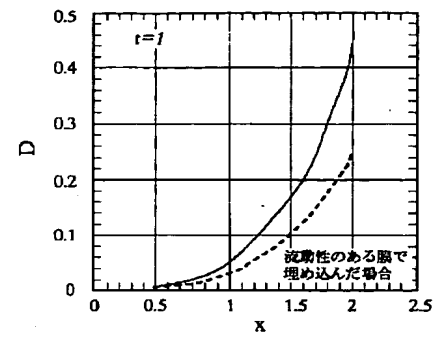
【図3】

図 3



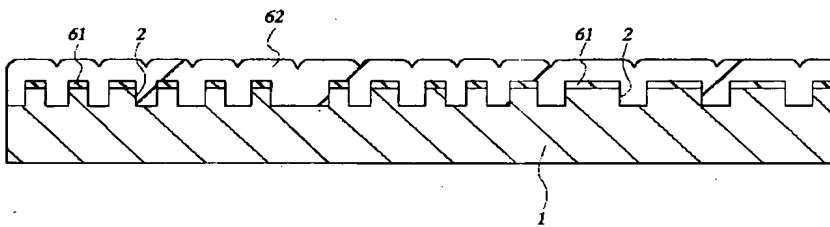
【図13】

図 13



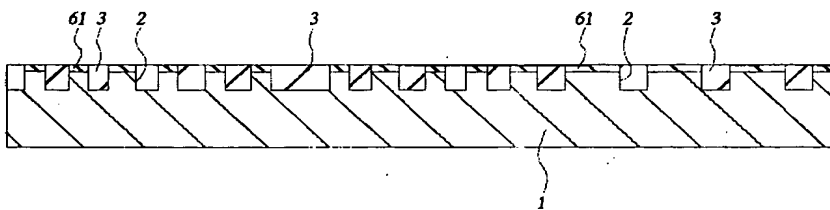
【図4】

図 4



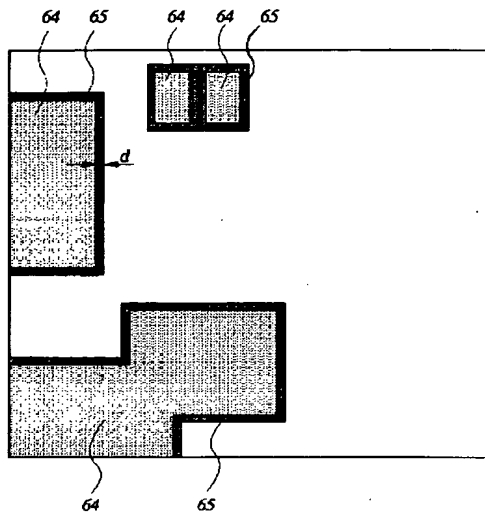
【図5】

図 5



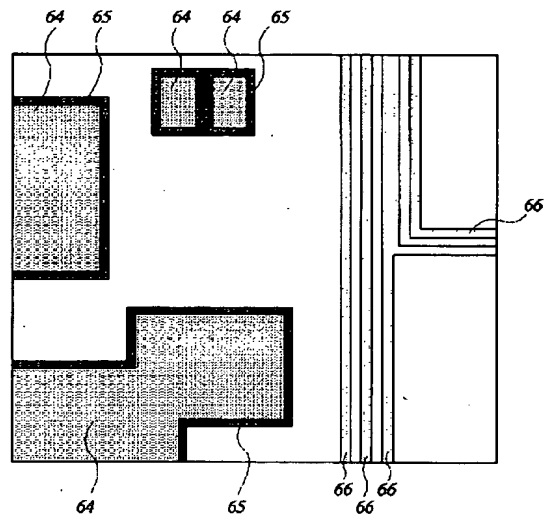
【図7】

図 7



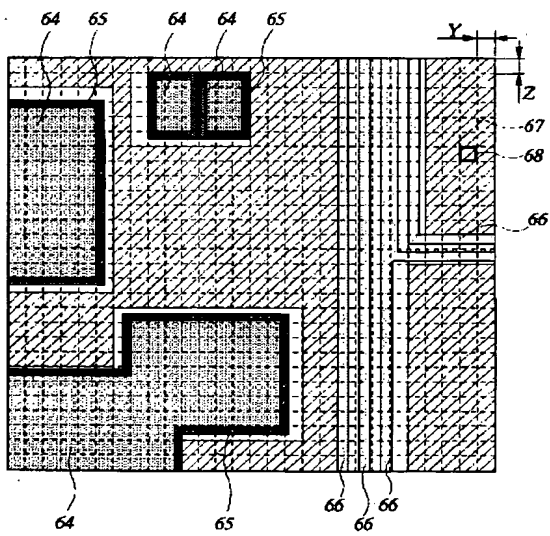
【図8】

図 8



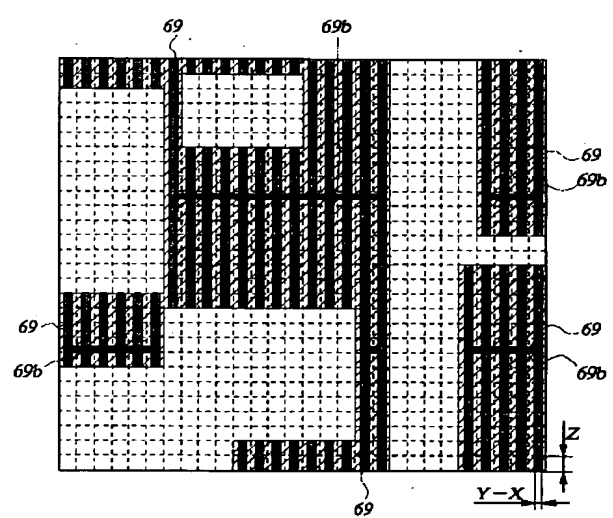
【図9】

図 9



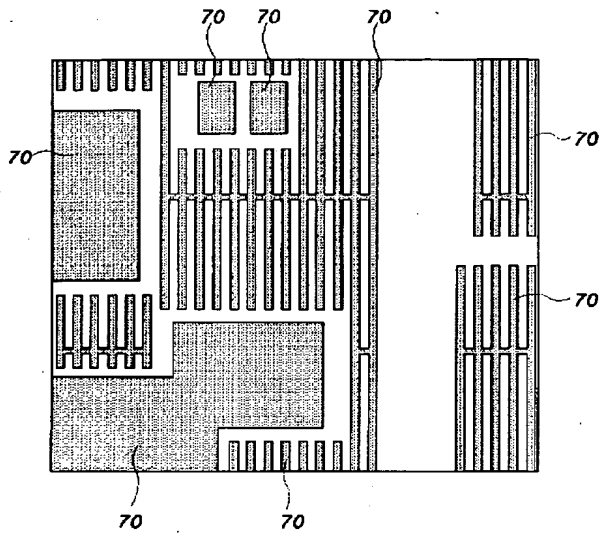
【図10】

図 10



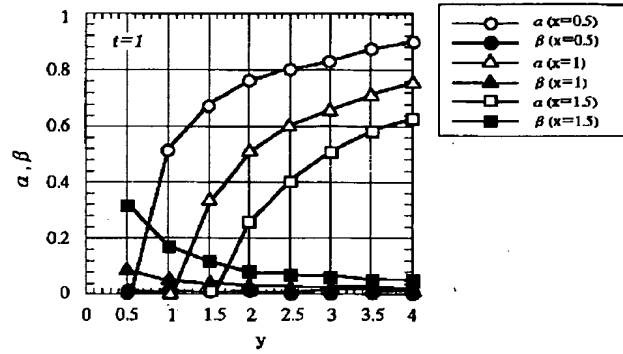
【図11】

図 11



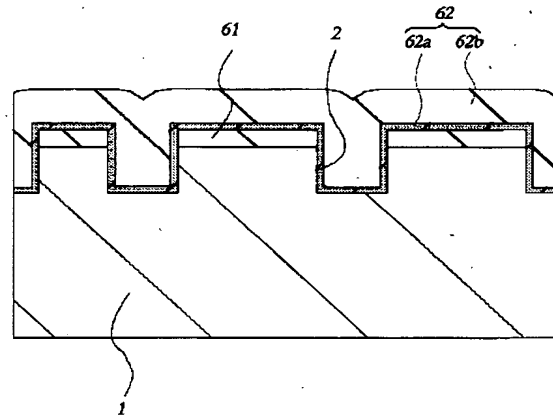
【図14】

図 14



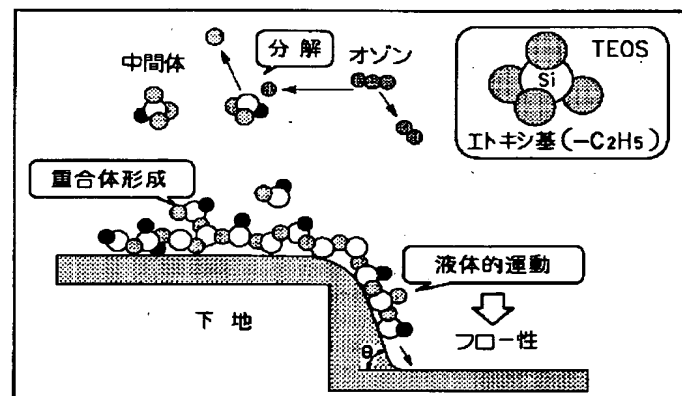
【図18】

図 18



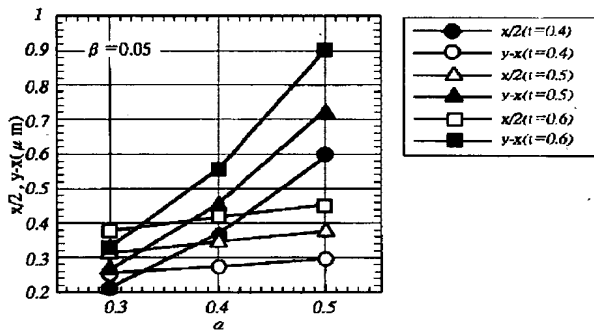
【図19】

図 19



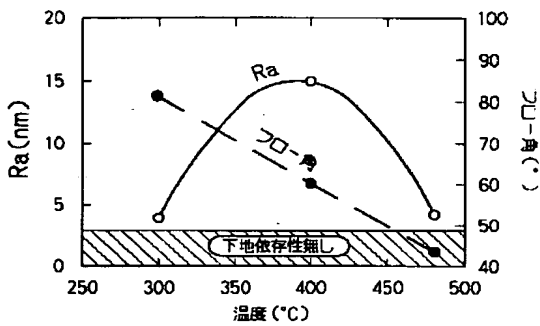
【図16】

図 16



【図22】

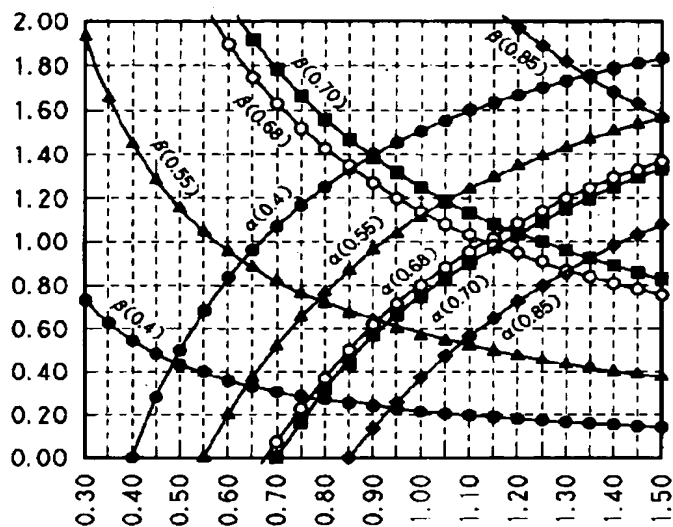
図 22



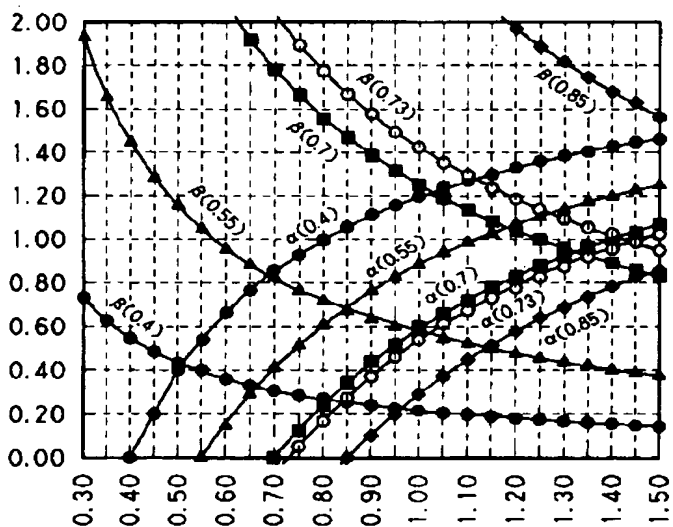
【図17】

図17

(a)

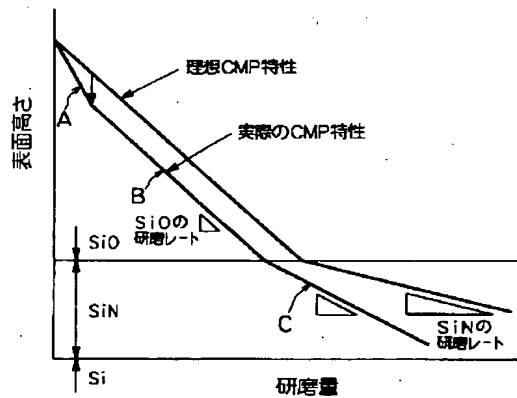


(b)



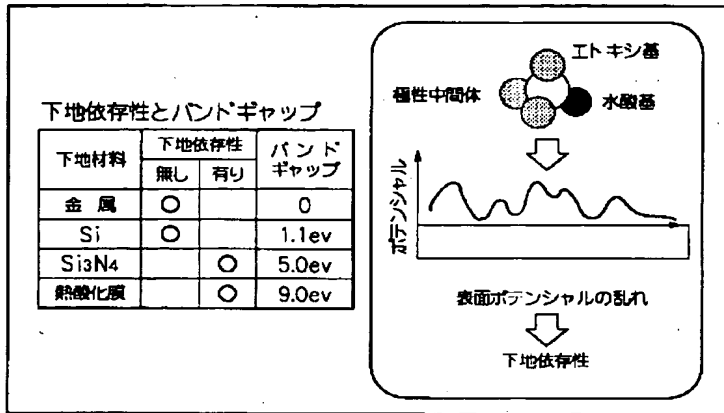
【図28】

図28



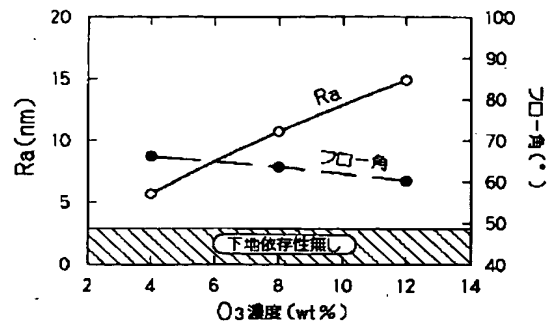
【図20】

図20



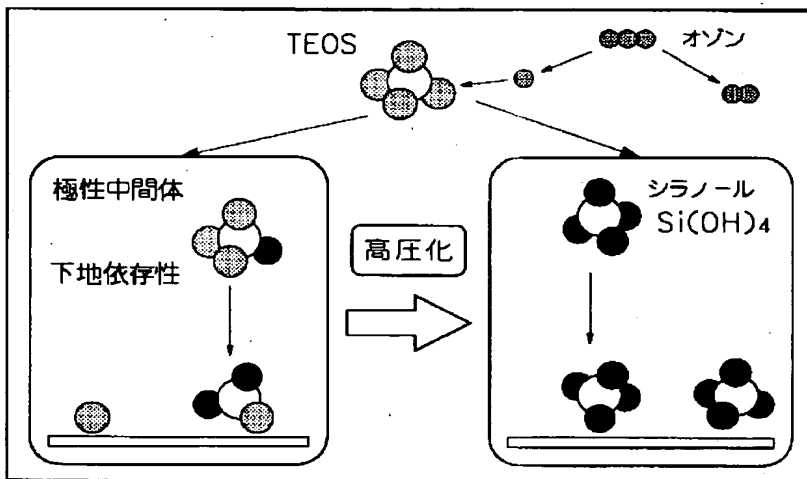
【図23】

図23



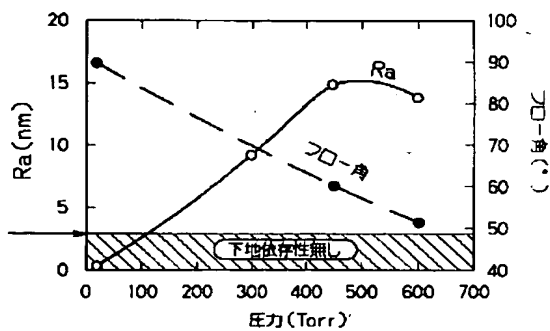
【図21】

図21



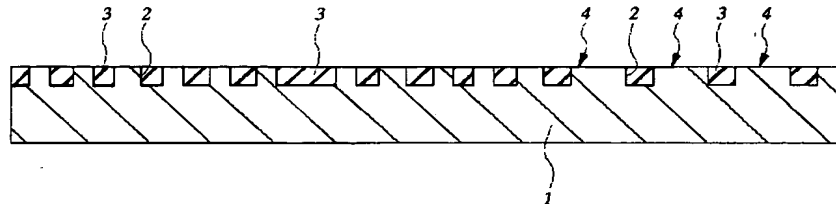
【図24】

図24



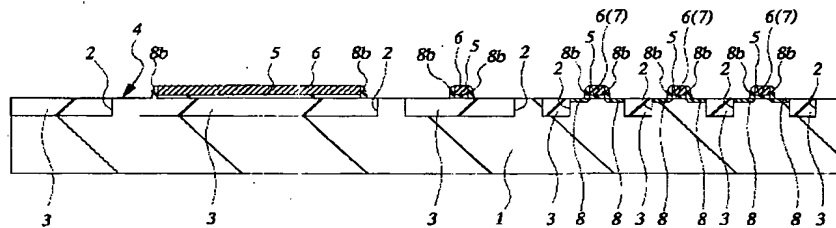
【図25】

図 25



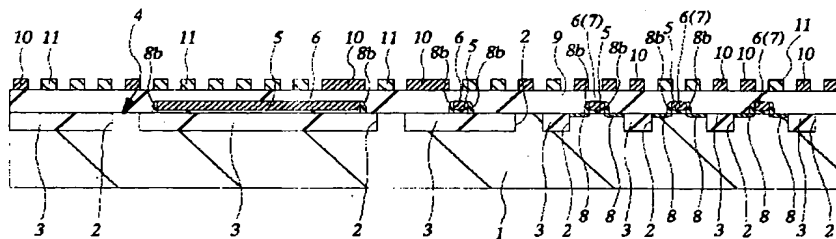
【図26】

図 26



【図27】

図 27



フロントページの続き

(72)発明者 佐藤 英紀
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 只木 ▲芳▼▲隆▼
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内